

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 59145538  
PUBLICATION DATE : 21-08-84

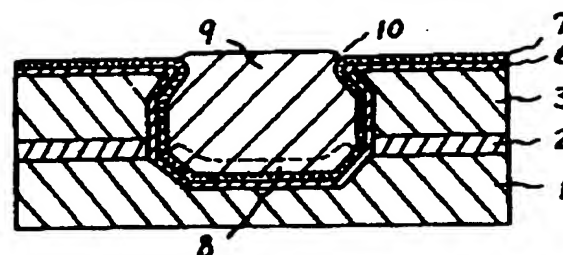
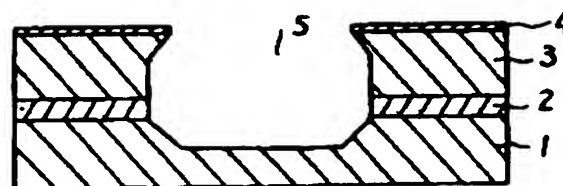
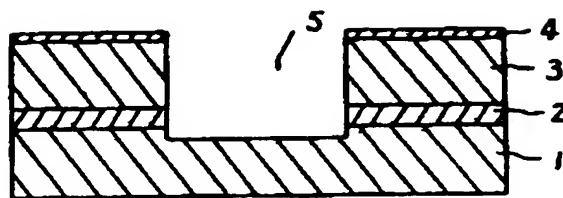
APPLICATION DATE : 21-10-83  
APPLICATION NUMBER : 58195969

APPLICANT : HITACHI LTD;

INVENTOR : HIGUCHI HISAYUKI;

INT.CL. : H01L 21/76 H01L 21/74

TITLE : SEMICONDUCTOR INTEGRATED  
CIRCUIT DEVICE



**ABSTRACT :** **PURPOSE:** To unnecessitate the eave of an  $\text{Si}_3\text{N}_4$  film and to enable to prevent the depression of polycrystalline Si located at the end part of a groove by a method wherein an etching is performed in inverted taper form on the Si located at the upper part of the groove.

**CONSTITUTION:** An Si epitaxial layer 3 and an  $\text{SiO}_2$  film 4 are formed on the Si substrate 1 provided on a collector buried layer 2, and after a patterning has been performed on the  $\text{SiO}_2$  film 4, a vertical groove 5 is formed by performing an etching of reactive sputtering method using the  $\text{SiO}_2$  film 4 as a mask. Then, an inverted taper formed groove is formed by performing an etching using an alkaline anisotropic etching solution. Impurities having the conductivity reverse to that of the buried layer 2 are introduced into the bottom face of the groove, and after an  $\text{SiO}_2$  film 6 and an  $\text{Si}_3\text{N}_4$  film 7 have been formed, a polycrystalline Si 8 is left in the groove only, and a polycrystalline Si 9 is selectively grown using said polycrystalline Si 8 as a seed. After the surface of the polycrystalline Si 9 has been oxidized, the  $\text{Si}_3\text{N}_4$  7 on the surface of an active layer is removed, the surface is stabilized by forming an  $\text{Si}_3\text{N}_4$  film on the whole surface again, and a transistor is formed on the active layer 3.

**COPYRIGHT:** (C)1984,JPO&Japio

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59-145538

⑮ Int. Cl.<sup>3</sup>  
H 01 L 21/76  
21/74

識別記号

庁内整理番号  
M 8122-5F  
8122-5F

⑬ 公開 昭和59年(1984)8月21日  
発明の数 1  
審査請求 未請求

(全 3 頁)

⑭ 半導体集積回路装置

⑰ 特 願 昭58-195969

⑱ 出 願 昭54(1979)10月29日

(前実用新案出願日援用)

⑲ 発 明 者 玉置洋一

国分寺市東恋ヶ窪1丁目280番  
地株式会社日立製作所中央研究  
所内

⑲ 発 明 者 久礼得男

国分寺市東恋ヶ窪1丁目280番  
地株式会社日立製作所中央研究  
所内

⑲ 発 明 者 佐藤朗

国分寺市東恋ヶ窪1丁目280番  
地株式会社日立製作所中央研究  
所内

⑲ 発 明 者 樋口久幸

国分寺市東恋ヶ窪1丁目280番  
地株式会社日立製作所中央研究  
所内

⑲ 出 願 人 株式会社日立製作所

東京都千代田区神田駿河台4丁  
目6番地

⑲ 代 理 人 弁理士 高橋明夫 外1名

明 細 書

発明の名称 半導体集積回路装置

特許請求の範囲

1. Si基板をエッチングして形成した溝に絶縁物を介して多結晶Siを埋込んで形成したアイソレーション領域を有する半導体集積回路装置において、前記溝上部のSi基板が逆テーパ状にエッチングされてなることを特徴とする半導体集積回路装置。

発明の詳細な説明

〔発明の利用分野〕

本発明は半導体集積回路、詳しくは、Siをエッチングして形成した溝に絶縁物を介して多結晶Siを埋込んでアイソレーションを行なった半導体装置に関するものである。

〔発明の背景〕

溝内に多結晶シリコンを充填する方法として、例えば、Si-Nの膜のひさしを利用して溝の底に選択的に多結晶Siを残している方法があるが、このひさしが存在するため、多結晶Siを基板表

面より上まで埋込もうとすると、ひさしの下に空洞が発生したり、端部が露出したりする欠点があった。

〔発明の概要〕

本発明は、溝上部のSiを逆テーパ状にエッチングすることによって、Si、N<sub>x</sub>膜のひさしを不要にすると共に、溝端部の多結晶Siの露出を防ぎ、トランジスタを形成する後の工程に適した形状を提供することが出来る。

〔発明の実施例〕

以下、本発明をバイポーラ集積回路の製造に適用した実施例を用いて詳細に説明する。

コレクタ埋込層2を設けた面方位(100)のSi基板1の上にトランジスタの能動部分となるSiエピタキシャル層3を形成し、その表面を熱酸化してSiO<sub>2</sub>膜4を形成した。SiO<sub>2</sub>膜4を通常のホトエッチング法でパターンニングした後、SiO<sub>2</sub>膜4をマスクにして反応性スパッタ法でSiをエッチングし垂直な溝5を形成した(第1図)。次にアルカリ系の異方性エッチング液を用

いてSiをエッチングし逆テーパー形状の溝を形成した(第2図)。

次にチャネル発生防止の目的で埋込層2と反対の電導性を持つ不純物をイオン打込み法で溝の底面に導入した。N<sub>2</sub>中でアニールした後、SiO<sub>2</sub>膜4を除去し、酸化してSiO<sub>2</sub>膜6を形成しさらにSi<sub>3</sub>N<sub>4</sub>膜7を形成した。この後陽極酸化法を用いて溝内のみが多結晶Si8を残し、これを種にして多結晶Si9を選択的に成長させた(第3図)。多結晶Si9を表面より上まで成長しても端部10での陥込みは発生しなかった。多結晶Si9の表面を酸化した後、絶縁層表面のSi<sub>3</sub>N<sub>4</sub>膜7を除去し、再び全面にSi<sub>3</sub>N<sub>4</sub>膜を形成して表面を安定化し、絶縁層3にトランジスタを形成した。溝より上部の多結晶Siを酸化したのでSi層1〜3に加わる圧力は小さく結晶欠陥はほとんど発生しなかった。また、端部10でSi層3の形状が逆テーパーになっているため、この端部を用いてベース領域やエミッタ領域の窓開けをセルフアライメントで行なってもエミッタ領域の

形状異常(陥込み)が起こりにくく、Valled-emitter構造のトランジスタを製作するのに好都合である。このため、溝分離方式とValled-emitter構造を組合せることによってアイソプレーナ方式のLSIに比べて約2倍の集積度が得られた。

本実施例においては、面方位(100)のSi基板を用いているが、Siのエッチングに他の方法(例えばマイクロ波プラズマ法)を用いて、第4図のような断面形状を得れば、どの面方位の基板を用いても本発明の実施は可能である。

#### (発明の効果)

アイソプレーナ方式の長所の1つは、選択酸化後の平面寸法がSiN膜の加工寸法によって決定されるので、絶対値の変動はあってもチップ内の寸法ばらつきが小さいことである。これに対して、Siをエッチングして形成した溝に多結晶Siを埋込む方式では、埋込後の平面寸法が多結晶Siの厚さの影響を受ける欠点がある。しかし、本発明を用いると、第5図(第3図の部分拡大図)

に示すように、多結晶Si9の厚さの影響を受けないように出来る。すなわち、表面と溝の内面に形成したSiO<sub>2</sub>膜7を含せた膜厚を $t$ とし、エピタキシャル成長層の表面と同じ高さの多結晶Si表面11より $(\pi/2)t$ だけ高い表面を12、表面11より $t$ だけ低い表面を13とすると、多結晶Siの厚さが表面12と表面13の間にあれば、多結晶Si9をマスクにしてSi<sub>3</sub>N<sub>4</sub>膜7およびSiO<sub>2</sub>膜6をエッチングしても開口部の平面寸法は変化しない。

一方、積極的に選択酸化法を用いて平面寸法のばらつきを抑えることも可能である。そのためにはSiをエッチングするマスクとして第1図のSiO<sub>2</sub>膜4の代わりに、第6図のようにSi<sub>3</sub>N<sub>4</sub>膜15およびSiO<sub>2</sub>膜14を用い、Siエッチング後に選択酸化を行なって、第3図のSiO<sub>2</sub>膜6の代わりに第7図のSiO<sub>2</sub>膜16を形成すればよい。残ったSi<sub>3</sub>N<sub>4</sub>膜15はリン酸で除去し再び全面にSi<sub>3</sub>N<sub>4</sub>膜を形成すれば第3図と同様の構成となる。

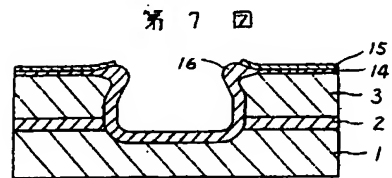
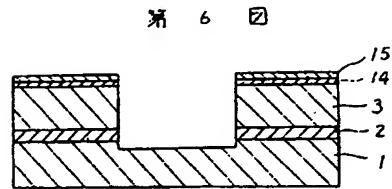
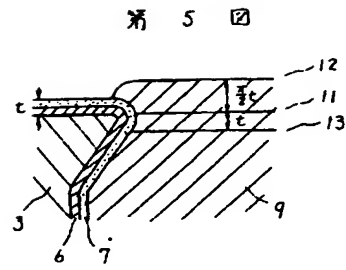
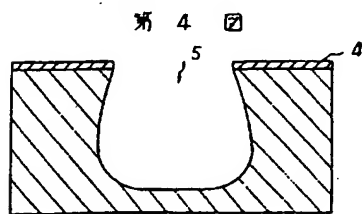
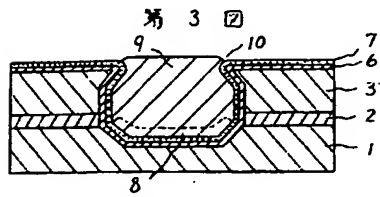
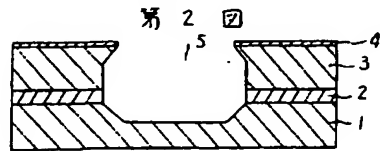
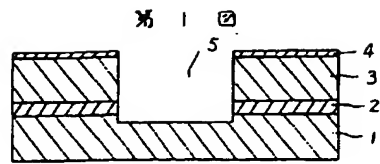
#### 図面の簡単な説明

第1図、第2図、第3図は本発明の半導体集積回路装置の実施例の製造方法を工程順に示す断面図、第5図は第3図の部分拡大図、第6図、第7図は本発明の半導体集積回路装置の他の実施例を示す断面図である。

1…Si基板、2…コレクタ埋込層、3…Siエピタキシャル層、4…SiO<sub>2</sub>膜、5…溝、6…SiO<sub>2</sub>膜、7…SiN膜、8,9…多結晶Si。

代理人 弁理士 高橋明





# 手続補正書 (方式)

昭 59 年 3 月 23 日

特許庁長官 殿

事件の表示

昭和 58 年 特許願 第 195969 号

発明の名称

半導体集積回路装置

補正をする者

特許出願人

(519) 株式会社 日立製作所

## 補正の内容

本願明細書第 6 頁第 3 行～4 行「断面図、第 5 図は……」を「断面図、第 4 図は本発明の他の実施例を示す断面図、第 5 図は……」に訂正する。

代理人

〒100 東京都千代田区丸の内一丁目 5 番 1 号

株式会社日立製作所内 電話 03-212-1111 (代表)

氏名 (6189) 高橋 明 夫

補正命令の日付 昭和 59 年 2 月 28 日



補正の対象 明細書の図面の簡単な説明の欄

補正の内容